

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-159878

(43)Date of publication of application : 12.06.2001

(51)Int.Cl.

G09G 3/30
 G09F 9/30
 G09G 3/20
 H01L 21/8234
 H01L 27/088
 H01L 29/786
 H01L 21/336
 H05B 33/12
 H05B 33/14

(21)Application number : 2000-284543

(71)Applicant : SEMICONDUCTOR ENERGY LAB
CO LTD

(22)Date of filing : 20.09.2000

(72)Inventor : KOYAMA JUN

(30)Priority

Priority number : 11270091

Priority date : 24.09.1999

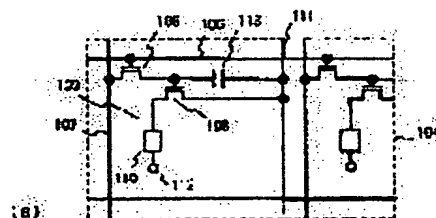
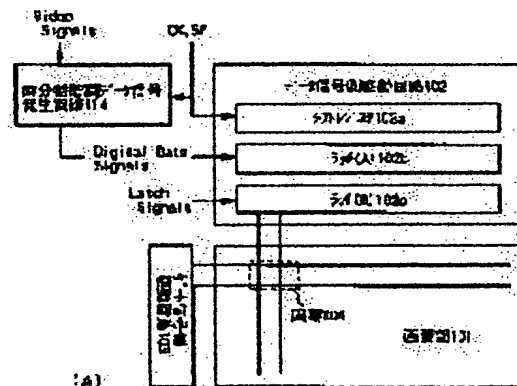
Priority country : JP

(54) EL DISPLAY DEVICE AND ELECTRONIC APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an EL display device which can display images of bright colors good in balance of light emission luminance of red, blue and green.

SOLUTION: The EL display device having plural pixels respectively including plural EI elements executes intensity levels by controlling the time when the plural EI elements emit light. The voltages impressed to the plural EI elements are varied by the colors displayed by the plural pixels respectively including the plural EI elements.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision
of rejection]
[Date of requesting appeal against examiner's
decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-159878

(P2001-159878A)

(43) 公開日 平成13年 6 月12日 (2001. 6. 12)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 9 G 3/30		G 0 9 G 3/30	K
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8
	3 6 5		3 6 5 Z
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 2 4 B
	6 4 1		6 4 1 E

審査請求 未請求 請求項の数 7 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2000-284543(P2000-284543)

(22) 出願日 平成12年 9 月20日 (2000. 9. 20)

(31) 優先権主張番号 特願平11-270091

(32) 優先日 平成11年 9 月24日 (1999. 9. 24)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半

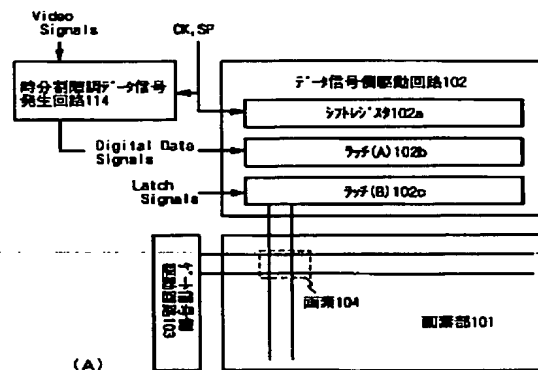
導体エネルギー研究所内

(54) 【発明の名称】 E L 表示装置及び電子装置

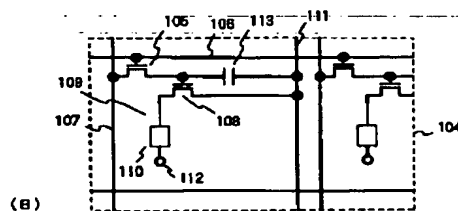
(57) 【要約】

【課題】 赤色、青色、緑色の発光輝度のバランスが良い、色鮮やかな画像を表示することができる E L 表示装置を提供する。

【解決手段】 複数の E L 素子をそれぞれ含む複数の画素を有する E L 表示装置であって、前記 E L 表示装置は前記複数の E L 素子の発光する時間を制御することで階調表示を行い、前記複数の E L 素子に印加される電圧は、前記複数の E L 素子をそれぞれ含む複数の画素が表示する色によって異なることを特徴とする E L 表示装置。



(A)



(B)

【特許請求の範囲】

【請求項 1】複数の E L 素子をそれぞれ含む複数の画素を有する E L 表示装置であって、

前記 E L 表示装置は前記複数の E L 素子の発光する時間を制御することで階調表示を行い、

前記複数の E L 素子に印加される電圧は、前記複数の E L 素子をそれぞれ含む複数の画素が表示する色によって異なることを特徴とする E L 表示装置。

【請求項 2】複数の E L 素子と、前記複数の E L 素子の発光をそれぞれ制御する複数の E L 駆動用 T F T と、前記複数の E L 駆動用 T F T の駆動をそれぞれ制御する複数のスイッチング用 T F T と、をそれぞれ含む複数の画素を有する E L 表示装置であって、

前記 E L 表示装置は前記複数の E L 素子の発光する時間を制御することで階調表示を行い、

前記複数の E L 素子に印加される電圧は、前記複数の E L 素子をそれぞれ含む複数の画素が表示する色によって異なり、

前記複数の E L 駆動用 T F T は n チャンネル型 T F T からなり、

前記複数の E L 駆動用 T F T が有する L D D 領域のチャンネル長方向の長さは、前記複数の E L 素子に印加される電圧が大きいほど長いことを特徴とする E L 表示装置。

【請求項 3】複数の E L 素子と、前記複数の E L 素子の発光をそれぞれ制御する複数の E L 駆動用 T F T と、前記複数の E L 駆動用 T F T の駆動をそれぞれ制御する複数のスイッチング用 T F T と、をそれぞれ含む複数の画素を有する E L 表示装置であって、

前記 E L 表示装置は前記複数の E L 素子の発光する時間を制御することで階調表示を行い、

前記複数の E L 素子に印加される電圧は、前記複数の E L 素子をそれぞれ含む複数の画素が表示する色によって異なり、

前記複数の E L 駆動用 T F T は n チャンネル型 T F T からなり、

前記複数の E L 駆動用 T F T が有するチャンネル領域の幅は、前記複数の E L 素子に印加される電圧が大きいほど大きいことを特徴とする E L 表示装置。

【請求項 4】複数の E L 素子と、前記複数の E L 素子の発光をそれぞれ制御する複数の E L 駆動用 T F T と、前記複数の E L 駆動用 T F T の駆動をそれぞれ制御する複数のスイッチング用 T F T と、をそれぞれ含む複数の画素を有する E L 表示装置であって、

前記 E L 表示装置は前記複数の E L 素子の発光する時間を制御することで階調表示を行い、

前記複数の E L 素子に印加される電圧は、前記複数の E L 素子をそれぞれ含む複数の画素が表示する色によって異なり、

前記複数の E L 駆動用 T F T は n チャンネル型 T F T からなり、

前記複数の E L 駆動用 T F T が有する L D D 領域のチャンネル長方向の長さは、前記複数の E L 素子に印加される電圧が大きいほど長く、

前記複数の E L 駆動用 T F T が有するチャンネル領域の幅は、前記複数の E L 素子に印加される電圧が大きいほど大きいことを特徴とする E L 表示装置。

【請求項 5】複数の E L 素子と、前記複数の E L 素子の発光をそれぞれ制御する複数の E L 駆動用 T F T と、前記複数の E L 駆動用 T F T の駆動をそれぞれ制御する複数のスイッチング用 T F T と、をそれぞれ含む複数の画素を有する E L 表示装置であって、

前記 E L 表示装置は前記複数の E L 素子の発光する時間を制御することで階調表示を行い、

前記複数の E L 素子に印加される電圧は、前記複数の E L 素子をそれぞれ含む複数の画素が表示する色によって異なり、

前記複数の E L 駆動用 T F T が有するチャンネル領域の幅は、前記複数の E L 素子に印加される電圧が大きいほど大きいことを特徴とする E L 表示装置。

【請求項 6】請求項 1 乃至請求項 5 のいずれか 1 項において、前記複数の E L 素子が発光する時間は、スイッチング用 T F T に入力されるデジタル信号によって制御されていることを特徴とする E L 表示装置。

【請求項 7】請求項 1 乃至請求項 6 のいずれか 1 項に記載の前記 E L 表示装置を用いた電子装置。

【0000】

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は半導体素子（半導体薄膜を用いた素子）を基板上に作り込んで形成された E L（エレクトロルミネッセンス）表示装置及びその E L 表示装置を表示ディスプレイとして有する電子装置（電子デバイス）に関する。

【0002】

【従来の技術】近年、基板上に T F T を形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いた T F T は、従来のアモルファスシリコン膜を用いた T F T よりも電界効果移動度（モビリティともいう）が高いので、高速動作が可能である。そのため、従来、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

—【0003】このようなアクティブマトリクス型表示装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、表示装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られる。

【0004】そしてさらに、自発光型素子として E L 素子を有したアクティブマトリクス型 E L 表示装置の研究が活発化している。E L 表示装置は有機 E L ディスプレ

イ (O E L D : Organic EL Display) 又は有機ライトエミッティングダイオード (O L E D : Organic Light Emitting Diode) とも呼ばれている。

【0005】E L 表示装置は、液晶表示装置と異なり自発光型である。E L 素子是一对の電極間に E L 層が挟まれた構造となっているが、E L 層は通常、積層構造となっている。代表的には、イーストマン・コダック・カンパニーの Tang らが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められている E L 表示装置は殆どこの構造を採用している。

【0006】また他にも、画素電極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。E L 層に対して蛍光性色素等をドーピングしても良い。

【0007】そして、上記構造でなる E L 層に一对の電極から所定の電圧をかけ、それにより発光層においてキャリアの再結合が起こって発光する。なお本明細書において E L 素子が発光することを、E L 素子が駆動すると呼ぶ。

【0008】なお、本明細書中では、陽極、E L 層及び陰極で形成される発光素子を E L 素子と呼ぶ。

【0009】

【発明が解決しようとする課題】

【0010】E L 表示装置には大きく分けて四つのカラー化表示方式があり、R (赤) G (緑) B (青) に対応した三種類の E L 素子を形成する方式、白色発光の E L 素子とカラーフィルターを組み合わせた方式、青色又は青緑発光の E L 素子と蛍光体 (蛍光性の色変換層 : C C M) とを組み合わせた方式、陰極 (対向電極) に透明電極を使用して R G B に対応した E L 素子を重ねる方式がある。

【0011】しかし一般に有機 E L 材料は、赤色の発光輝度が、青色、緑色の発光輝度に比べて低いものが多い。そのような発光特性を有する有機 E L 材料を E L 表示装置に用いた場合、表示する画像の赤色の輝度が低くなってしまふ。

【0012】また赤色の発光輝度が青色、緑色の発光輝度に比べて低い場合、赤色よりもやや波長の短い橙色の光を赤色の光として用いる方法が従来行われてきた。しかしこの場合も E L 表示装置が表示する画像の赤色の輝度は低く、赤色の画像を表示しようとしたときに、橙色として表示されてしまふ。

【0013】上述したことに鑑み、赤色、青色、緑色の発光輝度が異なる有機 E L 材料を用いた E L 表示装置において、所望する赤色、青色、緑色の発光輝度のバランスの良い画像を表示する E L 表示装置を提供することを課題とする。

【0014】

【課題を解決するための手段】本出願人は、E L 表示装置を時分割階調表示し、発光輝度の低い色の表示を行う E L 素子に印加される電圧を、発光輝度の比較的高い色の表示を行う E L 素子に印加される電圧より大きくするようにした。

【0015】E L 素子への電流の制御を行う E L 駆動用 T F T は、E L 素子を発光させるために、E L 駆動用 T F T の駆動を制御するスイッチング用 T F T よりも比較的多くの電流を流す。なお T F T の駆動を制御すると

10 は、T F T が有するゲート電極にかかる電圧を制御することで、その T F T をオン状態またはオフ状態にすることを意味する。特に本願発明は上記構成において、発光輝度の低い色を表示する画素の E L 駆動用 T F T には、他の色を表示する画素の E L 駆動用 T F T よりも多くの電流を流すこととなる。そのため発光輝度の低い色を表示する画素の E L 駆動用 T F T は、他の色を表示する画素の E L 駆動用 T F T よりもホットキャリア注入によって早く劣化してしまうという問題が浮上してくる。

【0016】そこで本発明人は、ホットキャリア注入による E L 駆動用 T F T の劣化対策として、上記構成に加え、発光輝度の低い色を表示する画素の E L 駆動用 T F T の L D D 領域の長さを、発光輝度の高い色を表示する画素の E L 駆動用 T F T の L D D 領域の長さより長くした。

25 【0017】なお本明細書において L D D 領域の長さとは、ソース領域とドレイン領域を結ぶ方向における L D D 領域の長さを意味する。

【0018】また同時に、発光輝度の低い色を表示する画素の E L 駆動用 T F T のチャネル幅 (W) を、発光輝度の比較的高い色を表示する画素の E L 駆動用 T F T のチャネル幅 (W) より大きくした。

【0019】なお本明細書においてチャネル幅 (W) とは、ソース領域とドレイン領域を結ぶ方向に対して垂直方向におけるチャネル領域の長さを意味する。

35 【0020】本願発明は上記構成により、印加される電圧が高くなることによって E L 駆動用 T F T が制御する電流の量が増えても、E L 駆動用 T F T の劣化を抑えることができる。そしてなおかつ、E L 素子に印加される電圧の値によって、その E L 素子の発光輝度を調節することが可能になり、赤色、青色、緑色の発光輝度のバランスが良い、色鮮やかな画像を表示することが可能になる。なお本願構成を時分割階調表示以外にも用いることは可能である。

【0021】以下に本願発明の構成を示す。

45 【0022】本発明によって、複数の E L 素子をそれぞれ含む複数の画素を有する E L 表示装置であって、前記 E L 表示装置は前記複数の E L 素子の発光する時間を制御することで階調表示を行い、前記複数の E L 素子に印加される電圧は、前記複数の E L 素子をそれぞれ含む複数の画素が表示する色によって異なることを特徴とする

EL表示装置が提供される。

【0023】本発明によって、複数のEL素子と、前記複数のEL素子の発光をそれぞれ制御する複数のEL駆動用TFTと、前記複数のEL駆動用TFTの駆動をそれぞれ制御する複数のスイッチング用TFTと、をそれぞれ含む複数の画素を有するEL表示装置であって、前記EL表示装置は前記複数のEL素子の発光する時間を制御することで階調表示を行い、前記複数のEL素子に印加される電圧は、前記複数のEL素子をそれぞれ含む複数の画素が表示する色によって異なり、前記複数のEL駆動用TFTはnチャンネル型TFTからなり、前記複数のEL駆動用TFTが有するLDD領域のチャンネル長方向の長さは、前記複数のEL素子に印加される電圧が大きいほど長いことを特徴とするEL表示装置が提供される。

【0024】本発明によって、複数のEL素子と、前記複数のEL素子の発光をそれぞれ制御する複数のEL駆動用TFTと、前記複数のEL駆動用TFTの駆動をそれぞれ制御する複数のスイッチング用TFTと、をそれぞれ含む複数の画素を有するEL表示装置であって、前記EL表示装置は前記複数のEL素子の発光する時間を制御することで階調表示を行い、前記複数のEL素子に印加される電圧は、前記複数のEL素子をそれぞれ含む複数の画素が表示する色によって異なり、前記複数のEL駆動用TFTはnチャンネル型TFTからなり、前記複数のEL駆動用TFTが有するチャンネル領域の幅は、前記複数のEL素子に印加される電圧が大きいほど大きいことを特徴とするEL表示装置が提供される。

【0025】本発明によって、複数のEL素子と、前記複数のEL素子の発光をそれぞれ制御する複数のEL駆動用TFTと、前記複数のEL駆動用TFTの駆動をそれぞれ制御する複数のスイッチング用TFTと、をそれぞれ含む複数の画素を有するEL表示装置であって、前記EL表示装置は前記複数のEL素子の発光する時間を制御することで階調表示を行い、前記複数のEL素子に印加される電圧は、前記複数のEL素子をそれぞれ含む複数の画素が表示する色によって異なり、前記複数のEL駆動用TFTはnチャンネル型TFTからなり、前記複数のEL駆動用TFTが有するLDD領域のチャンネル長方向の長さは、前記複数のEL素子に印加される電圧が大きいほど長く、前記複数のEL駆動用TFTが有するチャンネル領域の幅は、前記複数のEL素子に印加される電圧が大きいほど大きいことを特徴とするEL表示装置が提供される。

【0026】本発明によって、複数のEL素子と、前記複数のEL素子の発光をそれぞれ制御する複数のEL駆動用TFTと、前記複数のEL駆動用TFTの駆動をそれぞれ制御する複数のスイッチング用TFTと、をそれぞれ含む複数の画素を有するEL表示装置であって、前記EL表示装置は前記複数のEL素子の発光する時間を

制御することで階調表示を行い、前記複数のEL素子に印加される電圧は、前記複数のEL素子をそれぞれ含む複数の画素が表示する色によって異なり、前記複数のEL駆動用TFTが有するチャンネル領域の幅は、前記複数のEL素子に印加される電圧が大きいほど大きいことを特徴とするEL表示装置が提供される。

【0027】本発明は、前記複数のEL素子が発光する時間が、スイッチング用TFTに入力されるデジタル信号によって制御されていることを特徴としていても良い。

【0028】本発明は、前記EL表示装置を用いた電子装置であっても良い。

【0029】

【発明の実施の形態】

【0030】図1に本願発明のEL表示装置の回路構成を示す。図1(A)のEL表示装置は、基板上に形成されたTFTによって画素部101、画素部の周辺に配置されたデータ信号側駆動回路102及びゲート信号側駆動回路103を有している。なお、本実施の形態でEL表示装置はデータ信号側駆動回路とゲート信号側駆動回路とを1つずつ有しているが、本願発明においてデータ信号側駆動回路は2つあってもよい。またゲート信号側駆動回路も2つあってもよい。

【0031】データ信号側駆動回路102は基本的にシフトレジスタ102a、ラッチ(A)102b、ラッチ(B)102cを含む。また、シフトレジスタ102aにはクロックパルス(CK)及びスタートパルス(SP)が入力され、ラッチ(A)102bにはデジタルデータ信号(Digital Data Signals)が入力され、ラッチ(B)102cにはラッチ信号(Latch Signals)が入力される。

【0032】画素部に入力されるデジタルデータ信号は、時分割階調データ信号発生回路114にて形成される。この回路ではアナログ信号又はデジタル信号となるビデオ信号(画像情報を含む信号)を、時分割階調を行うためのデジタルデータ信号に変換すると共に、時分割階調表示を行うために必要なタイミングパルス等を発生させる回路である。

【0033】典型的には、時分割階調データ信号発生回路114には、1フレーム期間をnビット(nは2以上の整数)の階調に対応した複数のサブフレーム期間に分割する手段と、それら複数のサブフレーム期間においてアドレス期間及びサステイン期間を選択する手段と、そのサステイン期間を $T_{s-1} : T_{s-2} : T_{s-3} : \dots : T_{s-(n-1)} : T_s(n) = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(n-2)} : 2^{-(n-1)}$ となるように設定する手段とが含まれる。

【0034】この時分割階調データ信号発生回路114は、本願発明のEL表示装置の外部に設けられても良い。その場合、そこで形成されたデジタルデータ信号が本願発明のEL表示装置に入力される構成となる。この

場合、本願発明の E L 表示装置をディスプレイとして有する電子装置は、本願発明の E L 表示装置と時分割階調データ信号発生回路を別の部品として含むことになる。

【0035】また、時分割階調データ信号発生回路 114 を IC チップなどの形で本願発明の E L 表示装置に実装しても良い。その場合、その IC チップで形成されたデジタルデータ信号が本願発明の E L 表示装置に入力される構成となる。この場合、本願発明の E L 表示装置をディスプレイとして有する電子装置は、時分割階調データ信号発生回路を含む IC チップを実装した本願発明の E L 表示装置を部品として含むことになる。

【0036】また最終的には、時分割階調データ信号発生回路 114 を画素部 101、データ信号側駆動回路 102 及びゲート信号側駆動回路 103 と同一の基板上に TFT でもって形成しうる。この場合、E L 表示装置に画像情報を含むビデオ信号を入力すれば全て基板上で処理することができる。勿論、この場合の時分割階調データ信号発生回路は本願発明で用いるポリシリコン膜を活性層とする TFT で形成することが望ましい。また、この場合、本願発明の E L 表示装置をディスプレイとして有する電子装置は、時分割階調データ信号発生回路が E L 表示装置自体に内蔵されており、電子装置の小型化を図ることが可能である。

【0037】画素部 101 にはマトリクス状に複数の画素 104 が配列される。画素 104 の拡大図を図 1

(B) に示す。図 1 (B) において、105 はスイッチング用 TFT である。スイッチング用 TFT 105 のゲート電極は、ゲート信号を入力するゲート配線 106 に接続されている。スイッチング用 TFT 105 のソース領域とドレイン領域は、一方はデジタルデータ信号を入力するデータ配線 (ソース配線ともいう) 107 に接続されており、もう一方は E L 駆動用 TFT 108 のゲート電極に接続されている。

【0038】デジタルデータ信号は「0」または「1」の情報を持っており、「0」と「1」のデジタルデータ信号のうち、一方は H i、もう一方は L o の電位を有している。

【0039】また、E L 駆動用 TFT 108 のソース領域は電源供給線 111 に接続され、ドレイン領域は E L 素子 110 に接続される。

【0040】E L 素子 110 は E L 駆動用 TFT 108 のドレイン領域に接続された画素電極と、E L 層を挟んで画素電極に対向して設けられた対向電極とでなり、対向電極は一定の電位 (コモン電位) に保たれているコモン電源 112 に接続されている。

【0041】なお E L 素子 110 の陽極を画素電極として用い、陰極を対向電極として用いる場合、E L 駆動用 TFT 108 は p チャネル型 TFT であることが好ましい。

【0042】なお E L 素子 110 の陰極を画素電極とし

て用い、陽極を対向電極として用いる場合、E L 駆動用 TFT 108 は n チャネル型 TFT であることが好ましい。

【0043】電源供給線 111 にかかる電位を E L 駆動電位と呼ぶ。E L 素子が発光している時の E L 駆動電位をオンの E L 駆動電位と呼ぶ。また E L 素子が発光していない時の E L 駆動電位をオフの E L 駆動電位と呼ぶ。

【0044】そしてさらに、E L 駆動電位とコモン電位との差を E L 駆動電圧と呼ぶ。E L 素子が発光している時の E L 駆動電圧をオンの E L 駆動電圧と呼ぶ。また E L 素子が発光していない時の E L 駆動電圧をオフの E L 駆動電圧と呼ぶ。

【0045】電源供給線 111 にかかるオンの E L 駆動電圧は、対応する画素の表示する色 (赤色、緑色、青色) によって、その値を変える。例えば用いる有機 E L 材料の赤色の発光輝度が、青色と緑色の発光輝度よりも低い場合、赤色を表示する画素に接続されている電源供給線にかかるオンの E L 駆動電圧を、青色と緑色を表示する画素に接続されている電源供給線にかかるオンの E L 駆動電圧よりも大きく設定する。

【0046】なお、E L 駆動用 TFT 108 のドレイン領域と、E L 素子 110 が有する画素電極との間に抵抗体を設けても良い。抵抗体を設けることによって、E L 駆動用 TFT から E L 素子へ供給される電流量を制御し、E L 駆動用 TFT の特性のバラツキの影響を防ぐことが可能になる。抵抗体は E L 駆動用 TFT 108 のオン抵抗よりも十分に大きい抵抗値を示す素子であれば良いため、構造等に限定はない。なお、オン抵抗とは、TFT がオン状態の時に、TFT のドレイン電圧をその時に流れているドレイン電流で割った値である。抵抗体の抵抗値としては $1\text{ k}\Omega \sim 50\text{ M}\Omega$ (好ましくは $10\text{ k}\Omega \sim 10\text{ M}\Omega$ 、さらに好ましくは $50\text{ k}\Omega \sim 1\text{ M}\Omega$) の範囲から選択すれば良い。抵抗体として抵抗値の高い半導体層を用いると形成が容易であり好ましい。

【0047】また、スイッチング用 TFT 105 が非選択状態 (オフ状態) にある時、E L 駆動用 TFT 108 のゲート電圧を保持するためにコンデンサ 113 が設けられる。このコンデンサ 113 はスイッチング用 TFT 105 のドレイン領域と電源供給線 111 とに接続されている。

【0048】次に時分割階調表示について、図 1 及び図 2 を用いて説明する。ここでは n ビットデジタル駆動方式により 2ⁿ 階調の表示を行う場合について説明する。

【0049】まず、1 フレーム期間を n 個のサブフレーム期間 (S F 1 ~ S F n) に分割する。なお、画素部の全ての画素が 1 つの画像を表示する期間を 1 フレーム期間と呼ぶ。通常の E L ディスプレイでは発振周波数は 60 Hz 以上、即ち 1 秒間に 60 以上のフレーム期間が設けられており、1 秒間に 60 以上の画像が表示されている。1 秒間に表示される画像の数が 60 より少なくなる

と、視覚的にフリッカ等の画像のちらつきが目立ち始める。なお、1 フレーム期間をさらに複数に分割した期間をサブフレーム期間と呼ぶ。階調数が多くなるにつれて1 フレーム期間の分割数も増え、駆動回路を高い周波数で駆動しなければならない。(図2)

【0050】1つのサブフレーム期間はアドレス期間(Ta)とサステイン期間(Ts)とに分けられる。アドレス期間とは、1 サブフレーム期間中、全画素にデータを入力するのに要する時間であり、サステイン期間(点灯期間とも呼ぶ)とは、E L 素子を発光させる期間を示している。

【0051】n 個のサブフレーム期間(SF1~SFn)がそれぞれ有するアドレス期間(Ta1~Tan)の長さは全て一定である。SF1~SFn がそれぞれ有するサステイン期間(Ts)をそれぞれTs1~Tsn とする。

【0052】サステイン期間の長さは、Ts1:Ts2:Ts3:…:Ts(n-1):Tsn=2⁰:2⁻¹:2⁻²:…:2⁻⁽ⁿ⁻²⁾:2⁻⁽ⁿ⁻¹⁾となるように設定する。但し、SF1~SFn を出現させる順序はどのようにしても良い。このサステイン期間の組み合わせで2ⁿ階調のうち所望の階調表示を行うことができる。

【0053】まず、電源供給線111がオフのE L 駆動電位に保たれている状態にしておき、ゲート配線106にゲート信号を印加し、ゲート配線106に接続されているスイッチング用TFT105全てをON状態にする。なおオフのE L 駆動電位は、E L 素子が発光しない程度にコモン電位と同じぐらいの電位である。

【0054】そしてスイッチング用TFT105をON状態にした後、またはON状態にするのと同時にスイッチング用TFT105のソース領域に「0」または「1」の情報を有するデジタルデータ信号を入力していく。

【0055】デジタルデータ信号がスイッチング用TFT105を介してE L 駆動用TFT108のゲート電極に接続されたコンデンサ113に入力され保持される。全ての画素にデジタルデータ信号が入力されるまでの期間がアドレス期間である。

【0056】アドレス期間が終了したら、電源供給線111がオンのE L 駆動電位に保たれ、またスイッチング用TFTがオフ状態になり、コンデンサ113において保持されたデジタルデータ信号が、E L 駆動用TFT108のゲート電極に入力される。

【0057】なお、オンのE L 駆動電位の高さは、コモン電位との間にE L 素子が発光する程度の電位差を有する高さである。陽極にかかる電位は陰極にかかる電位よりも高いことがより望ましい。つまり陽極を画素電極として用いる場合、オンのE L 駆動電位はコモン電位よりも高いことが望ましい。逆に陰極を画素電極として用いる場合、オンのE L 駆動電位はコモン電位よりも低いこ

とが望ましい。

【0058】本実施の形態において、デジタルデータ信号が「0」の情報を有していた場合、E L 駆動用TFT108はオフ状態となり、電源供給線111に印加されているオンのE L 駆動電圧はE L 素子110が有する陽極(画素電極)に印加されない。

【0059】逆に、「1」の情報を有していた場合、E L 駆動用TFT108はオン状態となり、電源供給線111に印加されているオンのE L 駆動電圧は、E L 素子110が有する陽極(画素電極)に印加される。

【0060】その結果、「0」の情報を有するデジタルデータ信号が印加された画素が有するE L 素子110は発光しない。そして「1」の情報を有するデジタルデータ信号が印加された画素が有するE L 素子110は発光する。発光が終了するまでの期間がサステイン期間である。

【0061】E L 素子110を発光させる(画素を点灯させる)期間はTs1~Tsnまでのいずれかの期間である。ここではTsnの期間、所定の画素を点灯させたとする。

【0062】次に、再びアドレス期間に入り、全画素にデータ信号を入力したらサステイン期間に入る。このときはTs1~Ts(n-1)のいずれかの期間がサステイン期間となる。ここではTs(n-1)の期間、所定の画素を点灯させたとする。

【0063】以下、残りのn-2個のサブフレームについて同様の動作を繰り返し、順次Ts(n-2)、Ts(n-3)…Ts1とサステイン期間を設定し、それぞれのサブフレームで所定の画素を点灯させたとする。

【0064】n個のサブフレーム期間が出現したら1フレーム期間を終えたことになる。このとき、画素が点灯していたサステイン期間、言い換えると「1」の情報を有するデジタルデータ信号が画素に印加されたアドレス期間の直後のサステイン期間の長さを積算することによって、その画素の階調がきまる。例えば、n=8のとき、全部のサステイン期間で画素が発光した場合の輝度を100%とすると、Ts1とTs2において画素が発光した場合には75%の輝度が表現でき、Ts3とTs5とTs8を選択した場合には16%の輝度が表現できる。

【0065】そしてさらに本願発明では、電源供給線111にかかるオンのE L 駆動電圧の値を、対応する画素の表示する色(赤、緑、青)によって変えている。例えば用いる有機E L 材料の赤色の発光輝度が、青色と緑色の発光輝度よりも低い場合、赤色を表示する画素に接続されている電源供給線にかかるオンのE L 駆動電圧を、青色と緑色を表示する画素に接続されている電源供給線にかかるオンのE L 駆動電圧よりも大きくなるように設定する。

【0066】なお、オンのE L 駆動電位の値を変えると

同時に、デジタルデータ信号及びゲート信号の有する電位の値を適宜変えることも重要である。

【0067】次に本願発明における、E L 駆動用 T F T の構成について説明する。本願発明において、E L 駆動用 T F T は p チャネル型 T F T または n チャネル型 T F T で構成される。p チャネル型 T F T で構成される E L 駆動用 T F T は L D D 領域を有さず、n チャネル型 T F T で構成される E L 駆動用 T F T は L D D 領域を有す。

【0068】E L 駆動用 T F T はスイッチング用 T F T よりも、制御する電流の量が多い。特に発光輝度の低い色を表示する画素の E L 駆動用 T F T は、他の色を表示する画素の E L 駆動用 T F T より制御する電流の量が多い。

【0069】E L 駆動用 T F T が p チャネル型 T F T の場合、発光輝度の低い色を表示する画素の E L 駆動用 T F T のチャンネル幅 (W) を、発光輝度の比較的高い色を表示する画素の E L 駆動用 T F T のチャンネル幅 (W) より大きくする。上記構成によって、発光輝度の低い色を表示する画素の E L 駆動用 T F T が、他の色を表示する画素の E L 駆動用 T F T より制御する電流の量が大きくても、発光輝度の低い色を表示する画素の E L 駆動用 T F T がホットキャリア注入によって早く劣化してしまうのを防ぐことができる。

【0070】E L 駆動用 T F T が n チャネル型 T F T の場合も、発光輝度の低い色を表示する画素の E L 駆動用 T F T のチャンネル幅 (W) を、発光輝度の比較的高い色を表示する画素の E L 駆動用 T F T のチャンネル幅 (W) より大きくすることで、発光輝度の低い色を表示する画素の E L 駆動用 T F T がホットキャリア注入によって早く劣化してしまうのを防ぐことが可能である。

【0071】E L 駆動用 T F T が n チャネル型 T F T の場合、上記構成を有さなくとも、発光輝度の低い色を表示する画素の E L 駆動用 T F T の L D D 領域の長さを、発光輝度の比較的高い色を表示する画素の E L 駆動用 T F T の L D D 領域の長さより長くすることで、発光輝度の低い色を表示する画素の E L 駆動用 T F T がホットキャリア注入により劣化するのを防ぐことができる。E L 駆動用 T F T が n チャネル型 T F T の場合、上記したような、画素によって E L 駆動用 T F T のチャンネル幅 (W) を異ならせる構成と、画素によって E L 駆動用 T F T の L D D 領域の長さを異ならせる構成とを両方有していても良い。

【0072】本願発明は上記構成により、E L 素子に印加されるオンの E L 駆動電位の値によって、目的とする画素の有する E L 素子の発光輝度を調節することが可能になり、赤色、青色、緑色の発光輝度のバランスが良い、色鮮やかな画像を表示することができる。そしてなおかつ、オンの E L 駆動電圧が大きくなることによって E L 駆動用 T F T が制御する電流の量が増えても、E L 駆動用 T F T の劣化を抑えることができる。

【0073】なおかつ本願発明は時分割階調表示によって鮮明な多階調表示を行うことが可能になる。そしてなおかつ、印加される電圧が高くなることによって E L 駆動用 T F T が制御する電流の量が増えても、E L 駆動用 T F T の劣化を抑えることができる。

【0074】

【実施例】 (実施例 1)

【0075】本実施例では 8 ビットデジタル駆動方式により 256 階調 (1677 万色) のフルカラー表示を行う場合の時分割階調表示について説明する。本実施例において、は赤色の発光輝度が青色と緑色の発光輝度よりも低い有機 E L 材料を用いた E L 表示装置の駆動について説明する。

【0076】まず、1 フレーム期間を 8 個のサブフレーム期間 (S F 1 ~ S F 8) に分割する。本実施例の E L 表示装置では、発振周波数は 60 H z とし、1 秒間に 60 のフレーム期間が設けられており、1 秒間に 60 の画像が表示される。(図 3)

【0077】1 つのサブフレーム期間はアドレス期間 (T a) とサステイン期間 (T s) とに分けられる。S F 1 ~ S F 8 がそれぞれ有するアドレス期間 (T a 1 ~ T a 8) の長さは全て一定である。S F 1 ~ S F 8 がそれぞれ有するサステイン期間 (T s) をそれぞれ T s 1 ~ T s 8 とする。

【0078】サステイン期間の長さは、T s 1 : T s 2 : T s 3 : T s 4 : T s 5 : T s 6 : T s 7 : T s 8 = 1 : 1/2 : 1/4 : 1/8 : 1/16 : 1/32 : 1/64 : 1/128 となるように設定する。但し、S F 1 ~ S F 8 を出現させる順序はどのようにしても良い。このサステイン期間の組み合わせで 256 階調のうち所望の階調表示を行うことができる。

【0079】まず、電源供給線がオフの E L 駆動電位に保たれている状態にしておき、ゲート配線にゲート信号を印加し、ゲート配線に接続されているスイッチング用 T F T 全てを ON 状態にする。本実施例ではオフの E L 駆動電位を 0 V とする。なお、本実施例では、E L 素子の陽極を画素電極として電源供給線に接続しており、陰極を対向電極としてコモン電源に接続している。

【0080】そしてスイッチング用 T F T を ON 状態にした後、または ON 状態にするのと同時にスイッチング用 T F T のソース領域に「0」または「1」の情報を持つデジタルデータ信号を入力していく。

【0081】デジタルデータ信号がスイッチング用 T F T を介して、E L 駆動用 T F T のゲート電極に接続されたコンデンサに入力され保持される。全ての画素にデジタルデータ信号が入力されるまでの期間がアドレス期間である。

【0082】アドレス期間が終了したら、電源供給線がオンの E L 駆動電位に保たれ、またスイッチング用 T F T がオフ状態になり、コンデンサにおいて保持されたデ

デジタルデータ信号が、E L 駆動用T F Tのゲート電極に
入力される。本実施例では、サステイン期間において、
赤色の表示用の画素に接続された電源供給線は10Vの
オンのE L 駆動電位に保たれる。また緑色と青色の表示
用の画素に接続された電源供給線は5VのオンのE L 駆
動電位に保たれる。

【0083】本実施例において、デジタルデータ信号が
「0」の情報を有していた場合、E L 駆動用T F Tはオ
フ状態となり、電源供給線に印加されているオンのE L
駆動電圧はE L 素子が有する陽極（画素電極）に印加さ
れない。

【0084】逆に、「1」の情報を有していた場合、E
L 駆動用T F Tはオン状態となり、電源供給線に印加さ
れているオンのE L 駆動電圧は、E L 素子が有する陽極
（画素電極）に印加される。

【0085】その結果、「0」の情報を有するデジタル
データ信号が印加された画素が有するE L 素子は発光し
ない。そして「1」の情報を有するデジタルデータ信号
が印加された画素が有するE L 素子は発光する。発光が
終了するまでの期間がサステイン期間である。

【0086】E L を発光させる（画素を点灯させる）期
間はT s 1～T s 8までのいずれかの期間である。ここ
ではT s 8の期間、所定の画素を点灯させたとする。

【0087】次に、再びアドレス期間に入り、全画素に
データ信号を入力したらサステイン期間に入る。このと
きはT s 1～T s 7のいずれかの期間がサステイン期間
となる。ここではT s 7の期間、所定の画素を点灯させ
たとする。

【0088】以下、残りの6つのサブフレームについて
同様の動作を繰り返し、順次T s 6、T s 5…T s 1と
サステイン期間を設定し、それぞれのサブフレームで所
定の画素を点灯させたとする。

【0089】8つのサブフレーム期間が出現したら1フ
レーム期間を終えたことになる。このとき、画素が点灯
したサステイン期間、言い換えると「1」の情報を有す
るデジタルデータ信号が画素に印加されたアドレス期間
の直後のサステイン期間の長さを積算することによっ
て、その画素の階調が決まる。例えば、全部のサステイ
ン期間で画素が発光した場合の輝度を100%とする
と、T s 1とT s 2において画素が発光した場合には7
5%の輝度が表現でき、T s 3とT s 5とT s 8を選択
した場合には16%の輝度が表現できる。

【0090】なお、E L 駆動電位の値を変えると同時
に、デジタルデータ信号及びゲート信号の有する電位の
値を適宜変えることも重要である。

【0091】上記構成によって、本願発明はE L 素子に
印加するE L 駆動電圧の値によって、目的とする画素の
有するE L 素子の発光輝度を調節することが可能にな
り、なおかつ、時分割階調表示によって鮮明な多階調表
示を行うことが可能になった。具体的には赤色の発光輝

度が青色と緑色の発光輝度よりも低い有機E L 材料を用
いたE L 素子の、赤色、青色、緑色の発光輝度のバラン
スが良くなり、色鮮やかな画像を表示することが可能に
なる。またなおかつ、デジタル信号により時分割階調表
示を行い、E L 駆動用T F Tの特性バラツキによる階調
不良のない、色再現性の良い高精細な画像を得ることが
できる。

【0092】（実施例2）

【0093】次に、本願発明のE L 表示装置について、
その断面構造の概略を図4を用いて説明する。なお本実
施例ではE L 素子の陰極がE L 駆動用T F Tのドレイン
領域に接続されている例について説明する。

【0094】図4において、11は基板、12は下地と
なる絶縁膜（以下、下地膜という）である。基板11と
しては透光性基板、代表的にはガラス基板、石英基板、
ガラスセラミックス基板、又は結晶化ガラス基板を用い
ることができる。但し、作製プロセス中の最高処理温度
に耐えるものでなくてはならない。

【0095】また、下地膜12は特に可動イオンを含む
基板や導電性を有する基板を用いる場合に有効である
が、石英基板には設けなくても構わない。下地膜12と
しては、珪素（シリコン）を含む絶縁膜を用いれば良
い。なお、本明細書において「珪素を含む絶縁膜」と
は、具体的には酸化珪素膜、窒化珪素膜若しくは窒化酸
化珪素膜（ SiO_xNy ：x、yは任意の整数、で示され
る）など珪素に対して酸素若しくは窒素を所定の割合
で含ませた絶縁膜を指す。

【0096】201はスイッチング用T F T、202は
E L 駆動用T F Tであり、共にnチャネル型T F Tで形
成されている。本願発明において、スイッチング用T F
TとE L 駆動用T F Tは、nチャネル型T F Tでもp
チャネル型T F Tでも、どちらでも構わない。

【0097】ただしnチャネル型T F Tの電界効果移動
度はpチャネル型T F Tの電界効果移動度よりも大きい
ため、動作速度が早く大電流を流しやすい。また、同じ
電流量を流すにもT F Tサイズはnチャネル型T F Tの
方が小さくできる。そのため、nチャネル型T F TをE
L 駆動用T F Tとして用いた方が画像表示部の有効発光
面積が広がるのでより好ましい。

【0098】スイッチング用T F T 201は、ソース領
域13、ドレイン領域14、LDD領域15a～15d、
分離領域16及びチャネル形成領域17a、17bを含む
活性層と、ゲート絶縁膜18と、ゲート電極19a、1
9bと、第1層間絶縁膜20と、ソース配線21と、ド
レイン配線22とを有している。なお、ゲート絶縁膜1
8又は第1層間絶縁膜20は基板上の全T F Tに共通で
あっても良いし、回路又は素子に応じて異ならせても良
い。

【0099】また、図4に示すスイッチング用T F T 2
01はゲート電極19a、19bが電気的に接続されてお

り、いわゆるダブルゲート構造となっている。勿論、ダブルゲート構造だけでなく、トリプルゲート構造などいわゆるマルチゲート構造（直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造）であっても良い。

【0100】マルチゲート構造はオフ電流を低減する上で極めて有効であり、スイッチング用TFTのオフ電流を十分に低くすれば、それだけEL駆動用TFT202のゲート電極に接続されたコンデンサが必要とする最低限の容量を抑えることができる。即ち、コンデンサの面積を小さくすることができるので、マルチゲート構造とすることはEL素子の有効発光面積を広げる上でも有効である。

【0101】さらに、スイッチング用TFT201においては、LDD領域15a~15dは、ゲート絶縁膜18を介してゲート電極17a、17bと重ならないように設ける。このような構造はオフ電流を低減する上で非常に効果的である。また、LDD領域15a~15dの長さ（幅）は0.5~3.5 μ m、代表的には2.0~2.5 μ mとすれば良い。

【0102】なお、チャネル形成領域とLDD領域との間にオフセット領域（チャネル形成領域と同一組成の半導体層でなり、ゲート電圧が印加されない領域）を設けることはオフ電流を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた分離領域16（ソース領域又はドレイン領域と同一の濃度で同一の不純物元素が添加された領域）がオフ電流の低減に効果的である。

【0103】次に、EL駆動用TFT202は、ソース領域26、ドレイン領域27、LDD領域28及びチャネル形成領域29を含む活性層と、ゲート絶縁膜18と、ゲート電極30と、第1層間絶縁膜20と、ソース配線31並びにドレイン配線32を有して形成される。本実施例においてEL駆動用TFT202はnチャネル型TFTである。

【0104】また、スイッチング用TFT201のドレイン領域14はEL駆動用TFT202のゲート電極30に接続されている。図示していないが、具体的にはEL駆動用TFT202のゲート電極30はスイッチング用TFT201のドレイン領域14とドレイン配線（接続配線とも言える）22を介して電氣的に接続されている。なお、ゲート電極30はシングルゲート構造となっているが、マルチゲート構造であっても良い。また、EL駆動用TFT202のソース配線31は電源供給線（図示せず）に接続される。

【0105】EL駆動用TFT202はEL素子に注入される電流量を制御するための素子であり、比較的多くの電流が流れる。そのため、チャネル幅（W）はスイッチング用TFTのチャネル幅よりも大きく設計すること

が好ましい。また、EL駆動用TFT202に過剰な電流が流れないように、チャネル長（L）は長めに設計することが好ましい。望ましくは一画素あたり0.5~2 μ A（好ましくは1~1.5 μ A）となるようにする。

05 【0106】特に本願発明においては、発光輝度の低い色を表示する画素のEL駆動用TFTには、他の色を表示する画素のEL駆動用TFTよりも、制御する電流が大きい。そのため発光輝度の低い色を表示する画素のEL駆動用TFTは、他の色を表示する画素のEL駆動用TFTよりもホットキャリア注入によって早く劣化してしまう。

【0107】そのため本願発明では、発光輝度の低い色を表示する画素のEL駆動用TFTのLDD領域の長さを、発光輝度の比較的高い色を表示する画素のEL駆動用TFTのLDD領域の長さより長くした。これによって、EL駆動用TFTが制御する電流の量が増えることによって、EL駆動用TFTが劣化するのを抑えることが可能になった。

【0108】またさらに、EL駆動用TFT202の活性層（特にチャネル形成領域）の膜厚を厚くする（好ましくは50~100nm、さらに好ましくは60~80nm）ことによって、TFTの劣化を抑えてもよい。逆に、スイッチング用TFT201の場合はオフ電流を小さくするという観点から見れば、活性層（特にチャネル形成領域）の膜厚を薄くする（好ましくは20~50nm、さらに好ましくは25~40nm）ことも有効である。

【0109】以上は画素内に設けられたTFTの構造について説明したが、このとき同時に駆動回路も形成される。図4には駆動回路を形成する基本単位となるCMOS回路が図示されている。

【0110】図4においては極力動作速度を落とさないようにしつつホットキャリア注入を低減させる構造を有するTFTをCMOS回路のnチャネル型TFT204として用いる。なお、ここでいう駆動回路としては、データ信号側駆動回路、ゲート信号側駆動回路を指す。勿論、他の論理回路（レベルシフタ、A/Dコンバータ、信号分割回路等）を形成することも可能である。

【0111】CMOS回路のnチャネル型TFT204の活性層は、ソース領域35、ドレイン領域36、LDD領域37及びチャネル形成領域38を含み、LDD領域37はゲート絶縁膜18を介してゲート電極39と重なっている。

【0112】ドレイン領域36側のみにLDD領域37を形成しているのは、動作速度を落とさないための配慮である。また、このnチャネル型TFT204はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方が良い。従って、LDD領域37は完全にゲート電極に重なってしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくな

方がよい。

【0113】また、CMOS回路のpチャネル型TFT 205は、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。従って活性層はソース領域40、ドレイン領域41及びチャネル形成領域42を含み、その上にはゲート絶縁膜18とゲート電極43が設けられる。勿論、nチャネル型TFT 204と同様にLDD領域を設け、ホットキャリア対策を講じることとも可能である。

【0114】また、nチャネル型TFT 204及びpチャネル型TFT 205はそれぞれソース領域上に第1層間絶縁膜20を間に介して、ソース配線44、45を有している。また、ドレイン配線46によってnチャネル型TFT 204とpチャネル型TFT 205とのドレイン領域は互いに電氣的に接続される。

【0115】次に、47は第1パッシベーション膜であり、膜厚は10nm～1μm（好ましくは200～500nm）とすれば良い。材料としては、珪素を含む絶縁膜（特に窒化酸化珪素膜又は窒化珪素膜が好ましい）を用いることができる。このパッシベーション膜47は形成されたTFTをアルカリ金属や水分から保護する役割金属を有する。最終的にTFT（特にEL駆動用TFT）の上方に設けられるEL層にはナトリウム等のアルカリ金属が含まれている。即ち、第1パッシベーション膜47はこれらのアルカリ金属（可動イオン）をTFT側に侵入させない保護層としても働く。

【0116】また、48は第2層間絶縁膜であり、TFTによってできる段差の平坦化を行う平坦化膜としての機能を有する。第2層間絶縁膜48としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を用いると良い。これらの有機樹脂膜は良好な平坦面を形成しやすく、比誘電率が低いという利点を有する。EL層は凹凸に非常に敏感であるため、TFTによる段差は第2層間絶縁膜で殆ど吸収してしまうことが望ましい。また、ゲート配線やデータ配線とEL素子の陰極との間に形成される寄生容量を低減する上で、比誘電率の低い材料を厚く設けておくことが望ましい。従って、膜厚は0.5～5μm（好ましくは1.5～2.5μm）が好ましい。

【0117】また、49は保護電極であり、各画素の画素電極51を接続するための電極である。保護電極49としては、アルミニウム（Al）、銅（Cu）若しくは銀（Ag）を含む低抵抗な材料を用いることが好ましい。この保護電極49にはEL層の発熱を緩和する放熱効果も期待できる。保護電極49は、EL駆動用TFT 202のドレイン配線32に接続されるように形成される。

【0118】保護電極49の上には酸化珪素膜、窒化酸化珪素膜または有機樹脂膜でなる第3層間絶縁膜50が0.3～1μmの厚さに設けられる。この第3層間絶縁

膜50は保護電極49の上にエッチングにより開口部が設けられ、その開口部の縁はテーパ形状となるようにエッチングする。テーパの角度は10～60°（好ましくは30～50°）とすると良い。

05 【0119】第3層間絶縁膜50の上には画素電極（EL素子の陰極）51が設けられる。陰極51としては、仕事関数の小さいマグネシウム（Mg）、リチウム（Li）若しくはカルシウム（Ca）を含む材料を用いる。好ましくはMgAg（MgとAgをMg：Ag＝10：1で混合した材料）でなる電極を用いれば良い。他にもMgAgAl電極、LiAl電極、また、LiFAl電極が挙げられる。

【0120】画素電極51の上にはEL層52が設けられる。EL層52は単層又は積層構造で用いられるが、15 積層構造で用いた方が発光効率は良い。一般的には画素電極上に正孔注入層／正孔輸送層／発光層／電子輸送層の順に形成されるが、正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層のような構造でも良い。本願発明では公知のいずれの構造を用いても良いし、EL層に対して蛍光性色素等をドーピングしても良い。

【0121】なお、EL表示装置には大きく分けて四つのカラー化表示方式があり、R（赤）G（緑）B（青）に対応した三種類のEL素子を形成する方式、白色発光のEL素子とカラーフィルターを組み合わせた方式、青色又は青緑発光のEL素子と蛍光体（蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を使用してRGBに対応したEL素子を重ねる方式、がある。

30 【0122】図4の構造はRGBに対応した三種類のEL素子を形成する方式を用いた場合の例である。なお、図4には一つの画素しか図示していないが、同一構造の画素が赤、緑又は青のそれぞれの色に対応して形成され、これによりカラー表示を行うことができる。

35 【0123】本願発明は発光方式に関わらず実施することが可能であり、上記四つの全ての方式を本願発明に用いることができる。しかし、蛍光体はELに比べて応答速度が遅く残光が問題となりうるので、蛍光体を用いない方式が望ましい。

40 【0124】次に透明導電膜でなる対向電極（EL素子の陽極）53をEL層上に形成する。本実施例では、透明導電膜としてITO（Indium Tin Oxide）を用いた。

【0125】EL層52と対向電極53でなる積層体は、各画素で個別に形成する必要があるが、EL層52は水分に極めて弱いため、通常のリソグラフィ技術を用いることができない。従って、メタルマスク等の物理的なマスク材を用い、真空蒸着法、スパッタ法、プラズマCVD法等の気相法で選択的に形成することが好ましい。

【0126】なお、E L 層を選択的に形成する方法として、インクジェット法、スクリーン印刷法又はスピンコート法等を用いることも可能である。

【0127】また、54 は第2パッシベーション膜であり、膜厚は10 nm ~ 1 μ m (好ましくは200 ~ 500 nm) とすれば良い。第2パッシベーション膜54を設けるのは、E L 層52を水分から保護する目的が主であるが、放熱効果をもたせることも有効である。但し、上述のようにE L 層は熱に弱いので、なるべく低温(好ましくは室温から120℃までの温度範囲)で成膜するのが望ましい。従って、プラズマCVD法、スパッタ法、真空蒸着法、イオンプレーティング法又は溶液塗布法(スピンコーティング法)が望ましい成膜方法と言える。

【0128】本願発明は、図4のE L 表示装置の構造に限定されるものではなく、図4の構造は本願発明を実施する上での好ましい形態の一つに過ぎない。

【0129】上記構成によって、本願発明はE L 素子に印加するオンのE L 駆動電圧の値によって、目的とする画素の有するE L 素子の発光輝度を調節することが可能になり、なおかつ、時分割階調表示によって鮮明な多階調表示を行うことが可能になった。具体的にはE L 素子に印加するオンのE L 駆動電圧の値によって、そのE L の発光輝度を調節することで、赤色、青色、緑色の発光輝度のバランスが良い、色鮮やかな画像を表示することが可能になる。またなおかつ、デジタル信号により時分割階調表示を行い、E L 駆動用TFTの特性バラツキによる階調不良のない、色再現性の良い高精細な画像を得ることができる。

【0130】また、本実施例の構成は、実施例1の構成と自由に組み合わせることが可能である。

【0131】(実施例3) 本実施例では、画素部とその周辺に設けられる駆動回路部のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本単位であるCMOS回路を図示することとする。

【0132】まず、図5(A)に示すように、下地膜(図示せず)を表面に設けた基板501を用意する。本実施例では結晶化ガラス上に下地膜として100 nm厚の窒化酸化珪素膜を200 nm厚の窒化酸化珪素膜とを積層して用いる。この時、結晶化ガラス基板に接する方の窒素濃度を10 ~ 25 wt %としておくとうまい。勿論、下地膜を設けずに石英基板上に直接素子を形成しても良い。

【0133】次に基板501の上に45 nmの厚さのアモルファスシリコン膜502を公知の成膜法で形成する。なお、アモルファスシリコン膜に限定する必要はなく、非晶質構造を含む半導体膜(微結晶半導体膜を含む)であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。

【0134】ここから図5(C)までの工程は本出願人による特許番号第3032801号を完全に引用することができる。同特許ではNi等の元素を触媒として用いた半導体膜の結晶化方法に関する技術を開示している。

【0135】まず、開口部503a、503bを有する保護膜504を形成する。本実施例では150 nm厚の酸化珪素膜を用いる。そして、保護膜504の上にスピンコート法によりニッケル(Ni)を含有する層(Ni含有層)505を形成する。このNi含有層の形成に関しては、前記公報を参考にすれば良い。

【0136】次に、図5(B)に示すように、不活性雰囲気中で570℃14時間の加熱処理を加え、アモルファスシリコン膜502を結晶化する。この際、Niが接した領域(以下、Ni添加領域という)506a、506bを起点として、基板と概略平行に結晶化が進行し、棒状結晶が集まって並んだ結晶構造でなるポリシリコン膜507が形成される。

【0137】次に、図5(C)に示すように、保護膜504をそのままマスクとして15族に属する元素(好ましくはリン)をNi添加領域506a、506bに添加する。こうして高濃度にリンが添加された領域(以下、リン添加領域という)508a、508bが形成される。

【0138】次に、図5(C)に示すように、不活性雰囲気中で600℃12時間の加熱処理を加える。この熱処理によりポリシリコン膜507中に存在するNiは移動し、最終的には殆ど全て矢印が示すようにリン添加領域508a、508bに捕獲されてしまう。これはリンによる金属元素(本実施例ではNi)のゲッターリング効果による現象であると考えられる。

【0139】この工程によりポリシリコン膜509中に残るNiの濃度はSIMS(質量二次イオン分析)による測定値で少なくとも 2×10^{17} atoms/cm³にまで低減される。Niは半導体にとってライフタイムキラーであるが、この程度まで低減されるとTFT特性には何ら悪影響を与えることはない。また、この濃度は殆ど現状のSIMS分析の測定限界であるので、実際にはさらに低い濃度(2×10^{17} atoms/cm³以下)であると考えられる。

【0140】こうして触媒を用いて結晶化され、且つ、その触媒がTFTの動作に支障を与えないレベルにまで低減されたポリシリコン膜509が得られる。その後、このポリシリコン膜509のみを用いた活性層510 ~ 513をパターニング工程により形成する。この時、後のパターニングにおいてマスク合わせを行うためのマーカーを、上記ポリシリコン膜を用いて形成すると良い。

(図5(D))

【0141】次に、図5(E)に示すように、50 nm厚の窒化酸化シリコン膜をプラズマCVD法により形成し、その上で酸化雰囲気中で950℃1時間の加熱処理を加え、熱酸化工程を行う。なお、酸化雰囲気は酸素雰

囲気でも良いし、ハロゲン元素を添加した酸素雰囲気でも良い。

【0142】この熱酸化工程では活性層と上記窒化酸化シリコン膜との界面で酸化が進行し、約15nm厚のポリシリコン膜が酸化されて約30nm厚の酸化シリコン膜が形成される。即ち、30nm厚の酸化シリコン膜と50nm厚の窒化酸化シリコン膜が積層されてなる80nm厚のゲート絶縁膜514が形成される。また、活性層510～513の膜厚はこの熱酸化工程によって30nmとなる。

【0143】次に、図6(A)に示すように、レジストマスク515を形成し、ゲート絶縁膜514を介してp型を付与する不純物元素（以下、p型不純物元素という）を添加する。p型不純物元素としては、代表的には13族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程（チャネルドープ工程という）はTFTのしきい値電圧を制御するための工程である。

【0144】なお、本実施例ではジボラン(B_2H_6)を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程により $1 \times 10^{15} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ （代表的には $5 \times 10^{16} \sim 5 \times 10^{17} \text{ atoms/cm}^3$ ）の濃度でボロンを含む不純物領域516～518が形成される。

【0145】次に、図6(B)に示すように、レジストマスク519a、519bを形成し、ゲート絶縁膜514を介してn型を付与する不純物元素（以下、n型不純物元素という）を添加する。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン(PH_3)を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを $1 \times 10^{18} \text{ atoms/cm}^3$ の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0146】この工程により形成されるn型不純物領域520、521には、n型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19} \text{ atoms/cm}^3$ （代表的には $5 \times 10^{17} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ ）の濃度で含まれるようにドーズ量を調節する。

【0147】次に、図6(C)に示すように、添加されたn型不純物元素及びp型不純物元素の活性化工程を行う。活性化手段を限定する必要はないが、ゲート絶縁膜514が設けられているので電熱炉を用いたファーンেসアニール処理が好ましい。また、図6(A)の工程でチャネル形成領域となる部分の活性層/ゲート絶縁膜界面にダメージを与えてしまっている可能性があるため、なるべく高い温度で加熱処理を行うことが望ましい。

【0148】本実施例の場合には耐熱性の高い結晶化ガラスを用いているので、活性化工程を800℃1時間の

ファーンেসアニール処理により行う。なお、処理雰囲気を変えて酸化性雰囲気にして熱酸化を行っても良いし、不活性雰囲気中で加熱処理を行っても良い。

【0149】この工程によりn型不純物領域520、521の端部、即ち、n型不純物領域520、521の周囲に存在するn型不純物元素を添加していない領域（図6(A)の工程で形成されたp型不純物領域）との境界部（接合部）が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0150】次に、200～400nm厚の導電膜を形成し、パターニングしてゲート電極522～525を形成する。このゲート電極522～525の線幅によって各TFTのチャネル長の長さが決定する。

【0151】なお、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知の導電膜を用いることができる。具体的には、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、シリコン(Si)から選ばれた元素でなる膜、または前記元素の窒化物でなる膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または前記元素を組み合わせた合金膜（代表的にはMo-W合金、Mo-Ta合金）、または前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）を用いることができる。勿論、単層で用いても積層して用いても良い。

【0152】本実施例では、50nm厚の窒化タングステン(WN)膜と、350nm厚のタングステン(W)膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてキセノン(Xe)、ネオン(Ne)等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【0153】またこの時、ゲート電極523、525はそれぞれn型不純物領域520、521の一部とゲート絶縁膜514を介して重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。なお、ゲート電極524a、524bは断面では二つに見えるが、実際は電氣的に接続されている。

【0154】次に、図7(A)に示すように、ゲート電極522～525及をマスクとして自己整合的にn型不純物元素（本実施例ではリン）を添加する。こうして形成される不純物領域527～533にはn型不純物領域520、521の1/2～1/10（代表的には1/3～1/4）の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ （典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$ ）の濃度が好ましい。

【0155】次に、図7(B)に示すように、ゲート電極等を覆う形でレジストマスク534a～534dを形成

し、n型不純物元素（本実施例ではリン）を添加して高濃度にリンを含む不純物領域535～541を形成する。ここでもフォスフィン（ PH_3 ）を用いたイオンドーピング法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ （代表的には $2 \times 10^{20} \sim 5 \times 10^{20} \text{ atoms/cm}^3$ ）となるように調節する。

【0156】この工程によってnチャネル型TFETのソース領域若しくはドレイン領域が形成されるが、スイッチング用TFETは、図7（A）の工程で形成したn型不純物領域530～532の一部を残す。この残された領域が、図4におけるスイッチング用TFETのLDD領域15a～15dに対応する。

【0157】次に、図7（C）に示すように、レジストマスク534a～534dを除去し、新たにレジストマスク543を形成する。そして、p型不純物元素（本実施例ではボロン）を添加し、高濃度にボロンを含む不純物領域544、545を形成する。ここではジボラン（ B_2H_6 ）を用いたイオンドーピング法により $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ （代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ ）濃度となるようにボロンを添加する。

【0158】なお、不純物領域544、545には既に $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にP型に反転し、P型の不純物領域として機能する。

【0159】次に、図7（D）に示すように、レジストマスク543を除去した後、第1層間絶縁膜546を形成する。第1層間絶縁膜546としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は $400 \text{ nm} \sim 1.5 \mu\text{m}$ とすれば良い。本実施例では、 200 nm 厚の窒化酸化珪素膜の上に 800 nm 厚の酸化珪素膜を積層した構造とする。

【0160】その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーンズアニール法が好ましい。本実施例では電熱炉において窒素雰囲気中、 550°C 、4時間の熱処理を行う。

【0161】さらに、 $3 \sim 100\%$ の水素を含む雰囲気中で、 $300 \sim 450^\circ\text{C}$ で1～12時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0162】なお、水素化処理は第1層間絶縁膜546を形成する間に入れても良い。即ち、 200 nm 厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り 800 nm 厚の酸化珪素膜を形成しても構わない。

【0163】次に、図8（A）に示すように、第1層間絶縁膜546に対してコンタクトホールを形成し、ソース配線547～550と、ドレイン配線551～553を形成する。なお、本実施例ではこの電極を、Ti膜を 100 nm 、Tiを含むアルミニウム膜を 300 nm 、Ti膜 150 nm をスパッタ法で連続形成した3層構造の積層膜とする。勿論、他の導電膜でも良い。

【0164】次に、 $50 \sim 500 \text{ nm}$ （代表的には $200 \sim 300 \text{ nm}$ ）の厚さで第1パッシベーション膜554を形成する。本実施例では第1パッシベーション膜554として 300 nm 厚の窒化酸化シリコン膜を用いる。これは窒化シリコン膜で代用しても良い。

【0165】この時、窒化酸化シリコン膜の形成に先立って H_2 、 NH_3 等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1層間絶縁膜546に供給され、熱処理を行うことで、第1パッシベーション膜554の膜質が改善される。それと同時に、第1層間絶縁膜546に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0166】次に、図8（B）に示すように、有機樹脂からなる第2層間絶縁膜555を形成する。有機樹脂としてはポリイミド、アクリル、BCB（ベンゾシクロブテン）等を使用することができる。特に、第2層間絶縁膜555はTFETが形成する段差を平坦化する必要があるため、平坦性に優れたアクリル膜が好ましい。本実施例では $2.5 \mu\text{m}$ の厚さでアクリル膜を形成する。

【0167】次に、第2層間絶縁膜555、第1パッシベーション膜554にドレイン配線553に達するコンタクトホールを形成し、次に保護電極556を形成する。保護電極556としてはアルミニウムを主成分とする導電膜を用いれば良い。保護電極556は真空蒸着法で形成すれば良い。

【0168】次に、珪素を含む絶縁膜（本実施例では酸化珪素膜）を 500 nm の厚さに形成し、画素電極となる部分に対応する位置に開口部を形成して第3層間絶縁膜557を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパー形状の側壁とすることができる。開口部の側壁が十分になだらかでない場合、段差に起因するEL層の劣化が顕著な問題となってしまう。

【0169】次にEL素子の陰極である画素電極（MgAg電極）558を形成する。MgAg電極558は真空蒸着法を用いて、厚さが $1.80 \sim 3.00 \text{ nm}$ （典型的には $200 \sim 250 \text{ nm}$ ）になるように形成する。

【0170】次に、EL層559を、真空蒸着法を用いて大気解放しないで形成する。なお、EL層559の膜厚は $800 \sim 2000 \text{ nm}$ （典型的には $1000 \sim 1200 \text{ nm}$ ）の厚さとするれば良い。

【0171】この工程では、赤色に対応する画素、緑色

に対応する画素及び青色に対応する画素に対して順次 E L 層を形成する。但し、E L 層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的に E L 層を形成するのが好ましい。

【0172】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光の E L 層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光の E L 層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光の E L 層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素に E L 層を形成するまで真空を破らずに処理することが好ましい。

【0173】なお、E L 層 559 としては公知の材料を用いることができる。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層及び電子注入層でなる 4 層構造を E L 層とすれば良い。

【0174】次に、対向電極 560 (陽極) を形成する。対向電極 (陽極) 560 は 110 nm の厚さとすれば良い。本実施例では E L 素子の対向電極 (陽極) 560 として酸化インジウム・スズ (ITO) 膜を形成する。また、酸化インジウムに 2~20% の酸化亜鉛 (ZnO) を混合した透明導電膜を用いても良いし、公知の他の材料であっても良い。

【0175】最後に、窒化珪素膜でなる第 2 パッシベーション膜 561 を 300 nm の厚さに形成する。

【0176】こうして図 8 (C) に示すような構造の E L 表示装置が完成する。なお、実際には、図 8 (C) まで完成したら、さらに外気に曝されないように気密性の高い保護フィルム (ラミネートフィルム、紫外線硬化樹脂フィルム等) やセラミックス製シーリングカンなどのハウジング材でパッケージング (封入) することが好ましい。その際、ハウジング材の内部を不活性雰囲気にし、内部に吸湿性材料 (例えば酸化バリウム) を配置することで E L 層の信頼性 (寿命) が向上する。

【0177】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ (フレキシブルプリントサーキット: FPC) を取り付けて製品として完成する。このような出荷できる状態にまでした E L 表示装置を本明細書中では E L モジュールという。

【0178】また、本実施例の構成は、実施例 1 の構成と自由に組み合わせることが可能である。

【0179】 (実施例 4)

【0180】本実施例では本願発明の E L 表示装置の構成を図 9 の斜視図を用いて説明する。

【0181】本実施例の E L 表示装置は、ガラス基板 601 上に形成された、画素部 602 と、ゲート側駆動回路 603 と、ソース側駆動回路 604 とで構成される。画素部 602 のスイッチング用 TFT 605 は n チャネル型 TFT であり、ゲート側駆動回路 603 に接続されたゲート配線 606、ソース側駆動回路 604 に接続されたソース配線 607 の交点に配置されている。また、スイッチング用 TFT 605 のソース領域とドレイン領域は、一方はソース配線 607 に、もう一方は E L 駆動用 TFT 608 のゲート電極に接続されている。

【0182】さらに、E L 駆動用 TFT 608 のソース領域は電源供給線 609 に接続される。また E L 駆動用 TFT 608 のゲート電極と電源供給線 609 とに接続されたコンデンサ 616 が設けられている。本実施例では、電源供給線 609 には E L 駆動電位が与えられている。また、この E L 素子 611 の対向電極 (本実施例では陰極) にはコモン電極のコモン電位 (本実施例では 0 V) が加えられる。

【0183】そして、外部入出力端子となる FPC 612 には駆動回路まで信号を伝達するための入出力配線 (接続配線) 613、614、及び電源供給線 609 に接続された入出力配線 615 が設けられている。

【0184】さらに、ハウジング材をも含めた本実施例の E L モジュールについて図 10 (A)、(B) を用いて説明する。なお、必要に応じて図 9 で用いた符号を引用することにする。

【0185】基板 1200 上には画素部 1201、データ信号側駆動回路 1202、ゲート信号側駆動回路 1203 が形成されている。それぞれの駆動回路からの各種配線は、入出力配線 613~615 を経て FPC 612 に至り外部機器へと接続される。

【0186】このとき少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてハウジング材 1204 を設ける。なお、ハウジング材 1204 は E L 素子の外寸よりも内寸が大きい凹部を有する形状又はシート形状であり、接着剤 1205 によって、基板 1200 と共同して密閉空間を形成するようにして基板 1200 に固着される。このとき、E L 素子は完全に前記密閉空間に封入された状態となり、外気から完全に遮断される。なお、ハウジング材 1204 は複数設けても構わない。

【0187】また、ハウジング材 1204 の材質はガラス、ポリマー等の絶縁性物質が好ましい。例えば、非晶質ガラス (硼硅酸塩ガラス、石英等)、結晶化ガラス、セラミックスガラス、有機系樹脂 (アクリル系樹脂、スチレン系樹脂、ポリカーボネート系樹脂、エポキシ系樹脂等)、シリコン系樹脂が挙げられる。また、セラミックスを用いても良い。また、接着剤 1205 が絶縁性物質であるならステンレス合金等の金属材料を用いるこ

とも可能である。

【0188】また、接着剤 1205 の材質は、エポキシ系樹脂、アクリレート系樹脂等の接着剤を用いることが可能である。さらに、熱硬化性樹脂や光硬化性樹脂を接着剤として用いることもできる。但し、可能な限り酸素、水分を透過しない材質であることが必要である。

【0189】さらに、ハウジング材と基板 1200 との間の空隙 1206 は不活性ガス（アルゴン、ヘリウム、窒素等）を充填しておくことが望ましい。また、ガスに限らず不活性液体（パーフルオロアルカンに代表される液状フッ素化炭素等）を用いることも可能である。不活性液体に関しては特開平 8-78519 号で用いられているような材料で良い。

【0190】また、空隙 1206 に乾燥剤を設けておくことも有効である。乾燥剤としては特開平 9-148066 号公報に記載されているような材料を用いることができる。一般的には酸化バリウムが用いられている。

【0191】また、図 10 (B) に示すように、画素部には個々に孤立した E L 素子を有する複数の画素が設けられ、それらは全て保護電極 1207 を共通電極として有している。本実施例では、E L 層、陰極 (MgAg 電極) 及び保護電極を大気解放しないで連続形成することが好ましいとしたが、E L 層と陰極とを同じマスク材を用いて形成し、保護電極だけ別のマスク材で形成すれば図 10 (B) の構造を実現することができる。

【0192】このとき、E L 層と陰極は画素部 1201 の上にのみ設ければよく、駆動回路 1202、1203 の上に設ける必要はない。勿論、駆動回路上に設けられていても問題とはならないが、E L 層にアルカリ金属が含まれていることを考慮すると設けない方が好ましい。

【0193】なお、保護電極 1207 は 1208 で示される領域において、画素電極と同一材料でなる接続配線 1209 を介して入出力配線 1210 に接続される。入出力配線 1210 は保護電極 1207 に E L 駆動電位を与えるための電源供給線であり、導電性ペースト材料 1211 を介して FPC 611 に接続される。

【0194】また、本実施例の構成は、実施例 1 の構成と自由に組み合わせることが可能である。

【0195】（実施例 5）本願発明は、赤色と緑色と青色の発光輝度がそれぞれ異なる有機 E L 材料にも適用可能である。例えば赤色の発光輝度が一番低く、青色の発光輝度が一番高い有機 E L 材料の場合、赤色を表示する画素の輝度及び緑色を表示する画素の輝度を青色を表示する画素の輝度に合わせるために、E L 表示装置を時分割階調表示し、赤色の表示を行う E L 素子と緑色の表示を行う E L 素子に印加される E L 駆動電圧を、青色の表示を行う E L 素子に印加される E L 駆動電圧より大きくするように設定すれば良い。そして、ホットキャリア注入による E L 駆動用 T F T の劣化対策として、上記構成に加えて、赤色を表示する画素の E L 駆動用 T F T と緑

色を表示する画素の E L 駆動用 T F T のチャネル幅

(W) を、青色を表示する画素の E L 駆動用 T F T のチャネル幅 (W) より大きくする。また E L 駆動用 T F T が n チャネル型 T F T の場合、赤色を表示する画素の E L 駆動用 T F T と緑色を表示する画素の E L 駆動用 T F T の L D D 領域の長さを、青色を表示する画素の E L 駆動用 T F T の L D D 領域の長さより長くしても良い。E L 駆動用 T F T チャネル幅 (W) と E L 駆動用 T F T の L D D 領域の長さは、実施する者が適宜設定することが可能である。

【0196】本願発明は上記構成により、E L 素子に印加される E L 駆動電圧の値によって、その E L 素子の発光輝度を調節することが可能になり、赤色、青色、緑色の発光輝度のバランスが良い、色鮮やかな画像を表示することが可能になる。そしてなおかつ、印加される電圧が高くなることによって E L 駆動用 T F T が制御する電流の量が増えても、E L 駆動用 T F T の劣化を抑えることができる。

【0197】また、本実施例の構成は、実施例 1～5 のいずれの構成とも自由に組み合わせることが可能である。

【0198】（実施例 6）実施例 1 では E L 層として有機 E L 材料を用いたが、本願発明は無機 E L 材料を用いても実施できる。但し、現在の無機 E L 材料は非常に駆動電圧が高いため、そのような駆動電圧に耐えうる耐圧特性を有する T F T を用いなければならない。

【0199】または、将来的にさらに駆動電圧の低い無機 E L 材料が開発されれば、本願発明に適用することは可能である。

【0200】また、本実施例の構成は、実施例 1～5 のいずれの構成とも自由に組み合わせることが可能である。

【0201】（実施例 7）本願発明において、E L 層として用いる有機物質は低分子系有機物質であってもポリマー系（高分子系）有機物質であっても良い。ポリマー系（高分子系）有機物質は、スピニング法（溶液塗布法ともいう）、ディッピング法、印刷法またはインクジェット法など簡易な薄膜形成方法で形成でき、低分子系有機物質に比べて耐熱性が高い。

【0202】ポリマー系有機物質として代表的には、P P V（ポリフェニレンビニレン）、P V K（ポリビニルカルバゾール）、ポリカーボネート等が挙げられる。

【0203】また、本実施例の構成は、実施例 1～5 のいずれの構成とも自由に組み合わせることが可能である。

【0204】（実施例 8）本願発明を実施して形成された E L 表示装置（E L モジュール）は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れている。そのため本願発明は直視型の E L ディスプレイ（E L モジュールを組み込んだ表示ディスプレイを指

す) に対して実施することが可能である。ELディスプレイとしてはパソコンモニタ、TV放送受信用モニタ、広告表示モニタ等が挙げられる。

【0205】また、本願発明は上述のELディスプレイも含めて、表示ディスプレイを部品として含むあらゆる電子装置に対して実施することが可能である。

【0206】そのような電子装置としては、ELディスプレイ、ビデオカメラ、デジタルカメラ、頭部取り付け型ディスプレイ（ヘッドマウントディスプレイ等）、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはコンパクトディスク（CD）、レーザーディスク（登録商標）（LD）又はデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それら電子装置の例を図11に示す。

【0207】図11（A）はパーソナルコンピュータであり、本体2001、筐体2002、表示装置2003、キーボード2004等を含む。本願発明は表示装置2003に用いることができる。

【0208】図11（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本願発明を表示装置2102に用いることができる。

【0209】図11（C）は頭部取り付け型のELディスプレイの一部（右片側）であり、本体2301、信号ケーブル2302、頭部固定バンド2303、表示モニタ2304、光学系2305、表示装置2306等を含む。本願発明は表示装置2306に用いることができる。

【0210】図11（D）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体2401、記録媒体（CD、LDまたはDVD等）2402、操作スイッチ2403、表示装置（a）2404、表示装置（b）2405等を含む。表示装置（a）は主として画像情報を表示し、表示装置（b）は主として文字情報を表示するが、本願発明はこれら表示装置（a）、（b）に用いることができる。なお、記録媒体を備えた画像再生装置としては、CD再生装置、ゲーム機器などに本願発明を用いることができる。

【0211】図11（E）は携帯型（モバイル）コンピュータであり、本体2501、カメラ部2502、受像部2503、操作スイッチ2504、表示装置2505

等を含む。本願発明は表示装置2505に用いることができる。

【0212】また、将来的にEL材料の発光輝度が高くなれば、フロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0213】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子装置に適用することが可能である。また、本実施例の電子装置は実施例1～7のどのような組み合わせからなる構成を用いても実現することができる。

【0214】

【発明の効果】

【0215】本願発明は上記構成により、EL素子に印加されるEL駆動電圧の値によって、そのEL素子の発光輝度を調節することが可能になり、赤色、青色、緑色の発光輝度のバランスが良い、色鮮やかな画像を表示することが可能になる。そしてなおかつ、印加される電圧が高くなることによってEL駆動用TFTが制御する電流の量が増えても、EL駆動用TFTの劣化を抑えることができる。

【図面の簡単な説明】

【図1】 本願発明のEL表示装置の構成を示す図。

【図2】 本願発明の時分割階調方式の動作モードを説明する図。

【図3】 本願発明の時分割階調方式の動作モードを説明する図。

【図4】 本願発明のEL表示装置の断面構造を示す図。

【図5】 EL表示装置の作製工程を示す図。

【図6】 EL表示装置の作製工程を示す図。

【図7】 EL表示装置の作製工程を示す図。

【図8】 EL表示装置の作製工程を示す図。

【図9】 ELモジュールの外観を示す図。

【図10】 ELモジュールの外観を示す図。

【図11】 電子装置の具体例を示す図。

【符号の説明】

101 画素部

102 データ信号側駆動回路

103 ゲート信号側駆動回路

104 画素

105 スイッチング用TFT

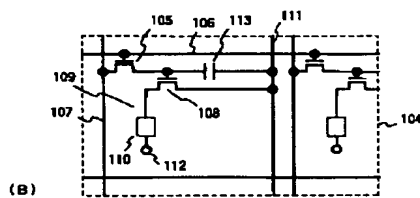
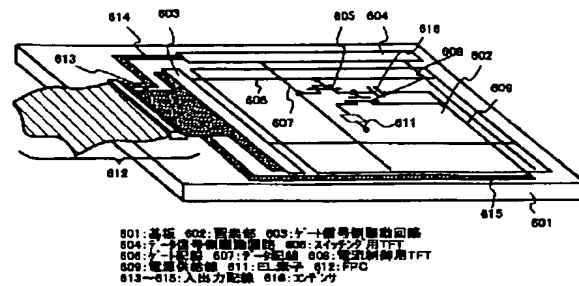
106 ゲート配線

107 データ配線

108 EL駆動用TFT

110 EL素子

【図9】



フレーム期間

サブフレーム期間(SF)

アドレス期間(Ta)

サステイン期間(Ts)

EL駆動電圧

フレーム期間

サブフレーム期間(SF)

アドレス期間(Ta)

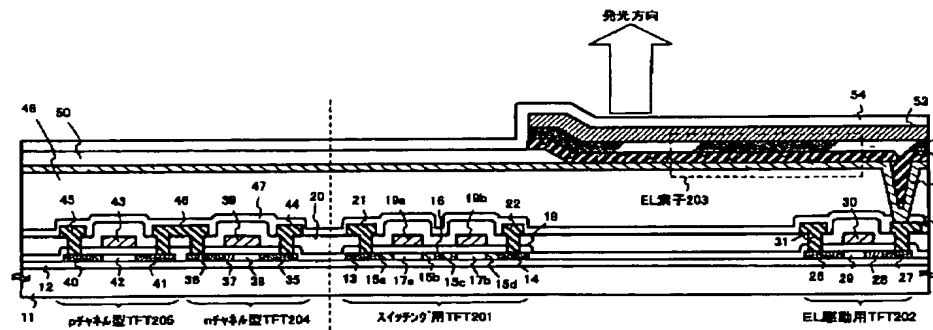
サステイン期間(Ts)

EL駆動電圧(R)

EL駆動電圧(G)

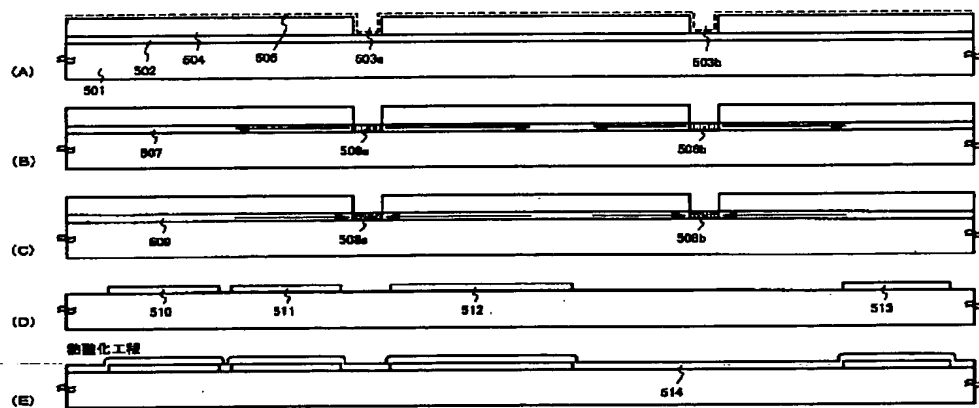
EL駆動電圧(B)

【図4】



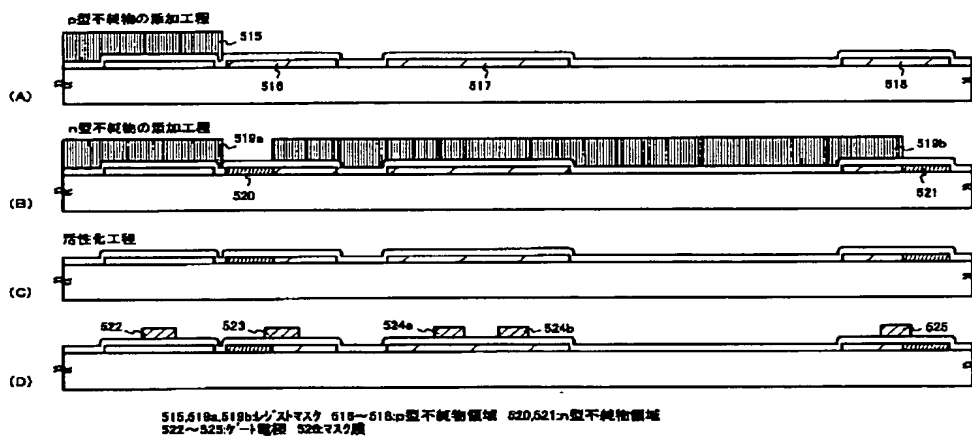
11:基板 12:下地膜 13:ソース電極 14:ドレイン電極 15a~15b:LDD電極 16:分断電極 17a,17b:チャネル形成領域
 18:γ-射絶縁膜 19a,19b:ゲート電極 20:第1層間絶縁膜 21:ソース電極 22:ドレイン電極 23:ソース領域 27:ドレイン領域
 28:LDD電極 29:チャネル形成領域 30:ゲート電極 31:ソース電極 32:ドレイン電極 33:ソース領域 34:ドレイン領域
 35:LDD電極 36:チャネル形成領域 37:ゲート電極 38:ソース電極 39:ドレイン電極 40:ソース領域 41:ドレイン領域 42:チャネル形成領域
 43:ゲート電極 44,45:ソース電極 46:ドレイン電極 47:第1パッシベーション膜 48:第2層間絶縁膜 49:保護電極
 50:第3層間絶縁膜 51:背面電極(陰極) 52:EL層 53:対向電極(陽極) 54:第2パッシベーション膜

【図5】

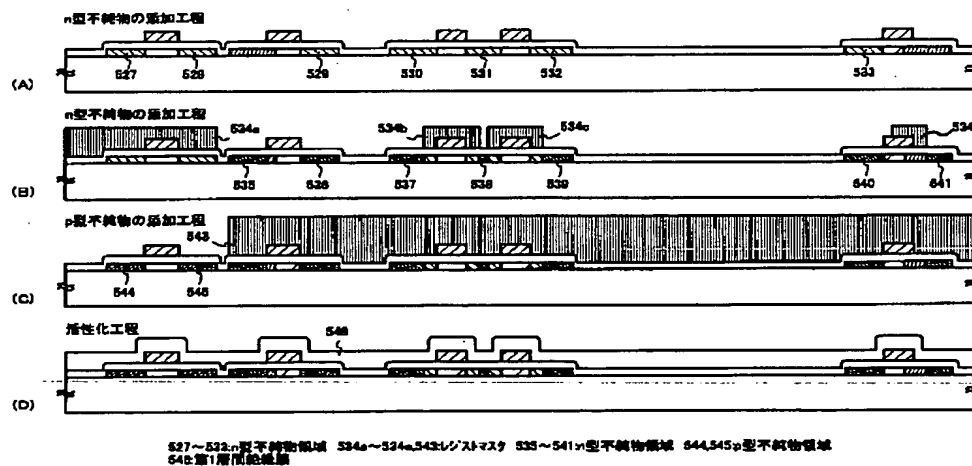


501:石英基板 502:アモルファスシリコン膜 503a,503b:開口部 504:保護膜 505:Ni含有層
 506a,506b:増幅加電極 507:γ-射絶縁膜 508a,508b:シフト電極 509:γ-射絶縁膜
 510~513:活性層 514:γ-射絶縁膜

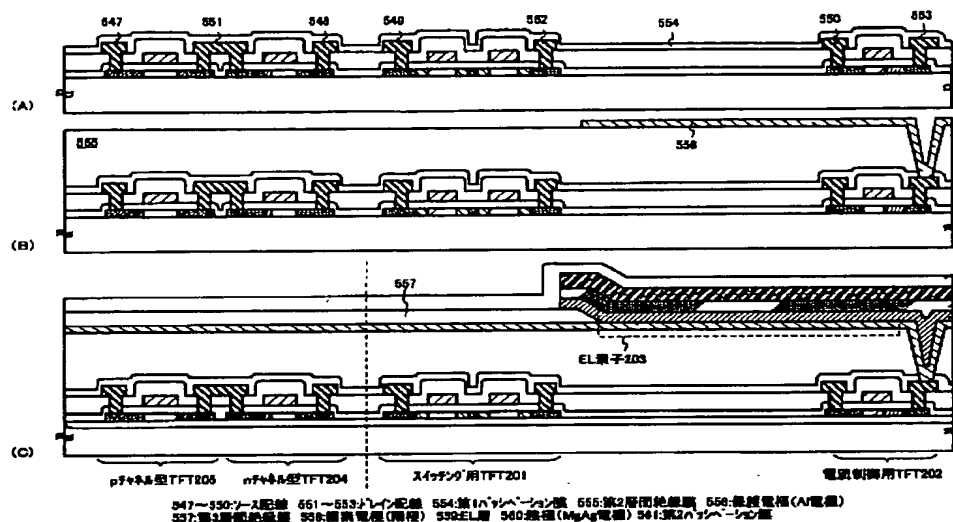
【図6】



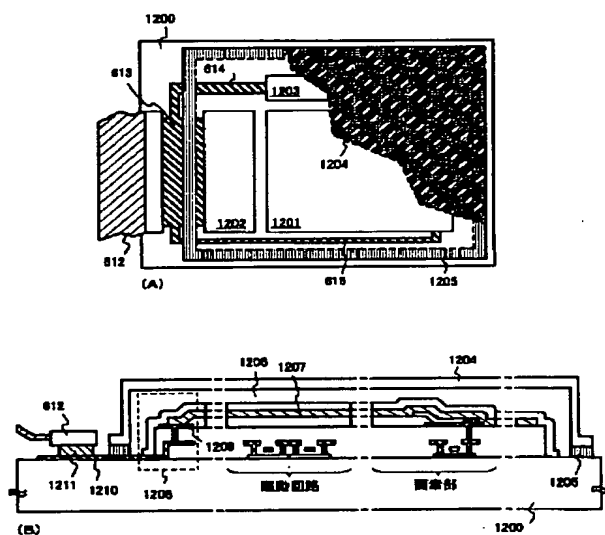
【図7】



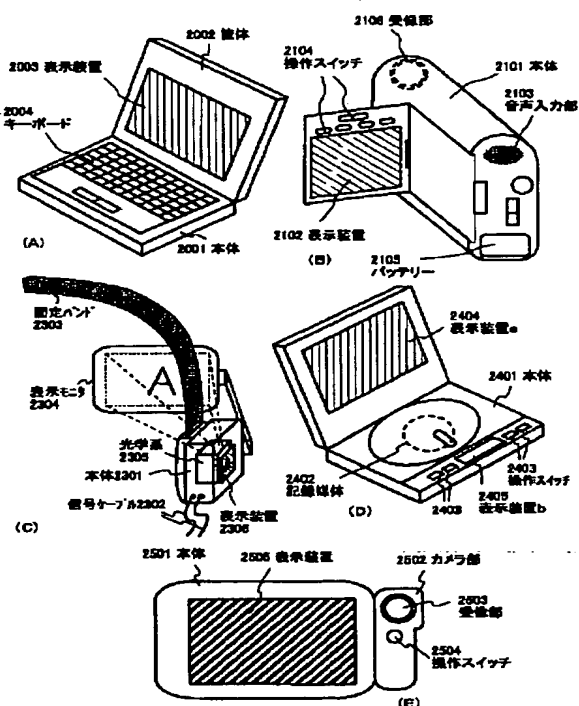
【図8】



【図10】



【図11】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
G 0 9 G 3/20	6 4 2	G 0 9 G 3/20	6 4 2 L
H 0 1 L 21/8234		H 0 5 B 33/12	B
27/088		33/14	A
29/786		H 0 1 L 27/08	1 0 2 B
21/336		29/78	6 1 4
H 0 5 B 33/12			6 1 6 A
33/14			